



Japanese Excerpt of Reference 1(Translation)

The Korean Intellectual Property Office (KR)  
Publication of patent applications (A)

Int. C1<sup>7</sup>.

G09G 3/28

Date of publication of application: 24/11/2001

Publication number: Patent2001-104080

Date of filing: 12/05/2000

Application number: 2000-0025487

Applicant: LG Electronics Inc. Ku Ja Hong

20, Yeouido-dong, Yeongdeungpo-gu, Seoul, Korea

Inventor: Choi Jeong Pil

No.804, LG village 205, Keumkoktong, Kwonseon-gu,

Suwon-shi, Kyonggi-do, Korea

Agent: Kim Yeong Ko

Request for Examination: YES

[Title of the Invention]

PLASMA DISPLAY PANEL AND DRIVING METHOD THEREOF

[Abstract]

The present invention relates to a plasma display panel enabling high-speed driving.

The plasma display panel in accordance with the present invention is provided with a pair of sustain electrodes formed

on an upper substrate of a discharge cell, an address electrode formed on a lower substrate of the discharge cell in a direction intersecting with the pair of sustain electrodes and causing an address discharge for a scan/sustain electrode line of the pair of sustain electrode, a first auxiliary electrode formed along with the pair of sustain electrodes and having an electrical connection with the scan/sustain electrode line of the pair of sustain electrode, a second auxiliary electrode formed along with the pair of sustain electrodes and causing an auxiliary discharge for the first auxiliary electrode, and an insulator formed opposite to the first and second auxiliary electrodes on the lower substrate so as to prevent an erroneous discharge between the first auxiliary electrode and the address electrode at the time of address discharging.

According to the present invention, an auxiliary discharge is caused at an odd-numbered or even-numbered second auxiliary electrode line in an addressing period while space charges generated by the auxiliary discharge are supplied to a discharge cell of the subsequent scan line. Accordingly, a high speed addressing can be conducted.

-The rest is omitted.-

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl.  
G09G 3/28

(11) 공개번호  
(43) 공개일자

특2001-0104080  
2001년11월24일

(21) 출원번호	10-2000-0025487
(22) 출원일자	2000년05월12일
(71) 출원인	엘지전자주식회사, 구자홍 대한민국 150-875 서울시영등포구여의도동20번지
(72) 발명자	최정필 대한민국 441-460 경기도수원시권선구금곡동엘지빌리지305동804호
(74) 대리인	김영호
(77) 심사청구	있음
(54) 출원명	플라즈마 디스플레이 패널 및 그 구동방법

요약

본 발명은 고속 구동이 가능하도록 한 플라즈마 디스플레이 패널에 관한 것이다.

본 발명의 플라즈마 디스플레이 패널은 방전셀의 상부기판 상에 형성되는 서스테인전극쌍과, 서스테인전극쌍과 교차되는 방향으로 방전셀의 하부기판 상에 형성되어 서스테인전극쌍 중 주사/서스테인전극라인과 어드레스 방전을 일으키는 어드레스전극과, 서스테인전극쌍 중 주사/서스테인전극라인과 전기적으로 접속되어 서스테인전극쌍과 나란하게 형성되는 제 1 보조전극과, 서스테인전극쌍과 나란하게 형성되며 제 1 보조전극과 보조방전을 일으키기 위한 제 2 보조전극과, 어드레스 방전시 제 1 보조전극과 어드레스전극간의 오방전을 방지하기 위하여 제 1 및 제 2 보조전극과 대향되게 하부기판 상에 형성되는 절연체를 구비한다.

본 발명에 의하면, 어드레스 기간에 기수 번째 또는 우수 번째 제 2 보조전극라인으로 보조방전을 일으킴과 아울러 보조방전에 의해 생성된 공간전하들을 다음 주사라인의 방전셀에 공급함으로써 고속 어드레싱을 할 수 있다.

대표도

도8

명세서

도면의 간단한 설명

도 1은 종래의 3전극 교류 면방전 PDP를 나타내는 사시도.

도 2는 도 1에 도시된 PDP의 전극라인 및 구동부를 나타내는 도면.

도 3은 스캔펄스 및 데이터 펄스가 공급되었을 때 어드레스 타이밍을 나타내는 파형도.

도 4는 스캔펄스 및 데이터 펄스가 공급되기전에 보조방전이 일어났을때의 어드레스 타이밍을 나타내는 파형도.

도 5는 종래의 5전극 교류 면방전 PDP를 나타내는 도면.

도 6은 도 5에 도시된 PDP의 구동파형을 나타내는 파형도.

도 7은 본 발명의 실시예에 의한 5전극 교류 면방전 PDP를 나타내는 도면.

도 8은 본 발명의 실시예에 의한 5전극 교류 면방전 PDP를 나타내는 단면도.

도 9는 도 7에 도시된 PDP의 구동파형을 나타내는 파형도.

○○○< 도면의 주요 부분에 대한 부호의 설명 >

1 : 방전셀○○○○10,42 : 상부기판

12Y : 주사/서스테인전극○○12Z : 공통서스테인전극

14,22 : 유전체층○○○○16 : 보호막

18,44 : 하부기판○○○○20X : 어드레스전극

24 : 격벽○○○○○26 : 형광체

30 : PDP○○○○○32 : 주사/서스테인 구동부

34 : 공통서스테인 구동부○○36A : 제 1 어드레스 구동부

36B : 제 2 어드레스 구동부 ○38,40 : 블랙 매트릭스

46 : 절연체○

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 플라즈마 디스플레이 패널에 관한 것으로, 특히 고속 구동이 가능하도록 한 플라즈마 디스플레이 패널 및 그의 구동방법에 관한 것이다.

플라즈마 디스플레이 패널(Plasma Display Panel : 이하 "PDP"라 함)은 가스방전에 의해 발생하는 자외선이 형광체를 여기시킬 때 형광체로부터 가시광선이 발생되는 것을 이용한 표시장치이다. PDP는 지금까지 표시수단의 주종을 이루어왔던 음극선관(Cathode Ray Tube : CRT)에 비해 두께가 얇고 가벼우며, 고선명 대형화면의 구현이 가능하다는 점등의 장점이 있다. PDP는 매트릭스 형태로 배열된 다수의 방전셀들로 구성되며, 하나의 방전셀은 화면의 한 화소를 이루게 된다.

도 1은 종래의 교류 면방전 PDP를 나타내는 사시도이다.

도 1을 참조하면, 3전극 교류 면방전형 PDP의 방전셀은 상부기관(10) 상에 형성되어진 주사/서스테인전극(12Y) 및 공통서스테인전극(12Z)과, 하부기관(18) 상에 형성되어진 어드레스전극(20X)을 구비한다. 주사/서스테인전극(12Y)과 공통서스테인전극(12Z)이 나란하게 형성된 상부기관(10)에는 상부 유전체층(14)과 보호막(16)이 적층된다. 상부 유전체층(14)에는 플라즈마 방전시 발생된 벽전하가 축적된다. 보호막(16)은 플라즈마 방전시 발생된 스퍼터링에 의한 상부 유전체층(14)의 손상을 방지함과 아울러 2차 전자의 방출 효율을 높여준다. 보호막(16)은 통상 산화마그네슘(MgO)이 이용된다. 어드레스전극(20X)이 형성된 하부기관(18) 상에는 하부 유전체층(22), 격벽(24)이 형성되며, 하부 유전체층(22)과 격벽(24) 표면에는 형광체(26)가 도포된다. 어드레스전극(20X)은 주사/서스테인전극(12Y) 및 공통서스테인전극(12Z)과 교차되는 방향으로 형성된다. 격벽(24)은 어드레스전극(20X)과 나란하게 형성되어 방전에 의해 생성된 자외선 및 가시광이 인접한 방전셀에 누설되는 것을 방지한다. 형광체(26)는 플라즈마 방전시 발생된 자외선에 의해 여기되어 적색, 녹색 또는 청색 중 어느 하나의 가시광선을 발생하게 된다. 상/하부기관(10,18)과 격벽(24) 사이에 마련된 방전공간에는 가스방전을 위한 불활성 가스가 주입된다.

도 2는 종래의 교류 면방전형 PDP의 구동장치를 나타내는 도면이다.

도 2를 참조하면, 종래의 교류 면방전형 PDP의 구동장치는  $m \times n$  개의 방전셀들(1)이 주사/서스테인전극라인들(Y1내지Ym), 공통서스테인전극라인들(Z1내지Zm) 및 어드레스전극라인들(X1내지Xn)과 접속되게끔 매트릭스 형태로 배치된 PDP(30)와, 주사/서스테인전극라인들(Y1내지Ym)을 구동하기 위한 주사/서스테인 구동부(32)와, 공통서스테인전극라인들(Z1내지Zm)을 구동하기 위한 공통서스테인 구동부(34)와, 기수 번째 어드레스전극라인들(X1,X3,...,Xn-3,Xn-1)과 우수 번째 어드레스전극라인들(X2,X4,...,Xn-2,Xn)을 분할 구동하기 위한 제 1 및 제 2 어드레스 구동부(36A,36B)를 구비한다. 주사/서스테인 구동부(32)는 주사/서스테인전극라인들(Y1내지Ym)에 스캔펄스와 서스테인펄스를 순차적으로 공급하여 방전셀들(1)이 라인 단위로 순차적으로 주사되게 함과 아울러  $m \times n$  개의 방전셀들(1) 각각에서의 방전이 지속되게 한다. 공통서스테인 구동부(34)는 공통서스테인전극라인들(Z1내지Zm) 모두에 서스테인 펄스를 공급하게 된다. 제 1 및 제 2 어드레스 구동부(36A,36B)는 스캔 펄스에 동기되게끔 영상 데이터를 어드레스전극라인들(X1내지Xn)에 공급하게 된다. 제 1 어드레스 구동부(36A)는 기수 번째 어드레스전극라인들(X1,X3,...,Xn-3,Xn-1)에 영상데이터를 공급하고 제 2 어드레스 구동부(36B)는 우수 번째 어드레스전극라인들(X2,X4,...,Xn-2,Xn)에 영상데이터를 공급한다.

이러한 3전극 교류 면방전형 PDP는 화상의 계조(Gray Level)를 표현하기 위하여 한 프레임을 방전횟수가 다른 여러 서브필드로 나누어 구동하고 있다. 각 서브필드는 다시 방전을 균일하게 일으키기 위한 리셋 기간, 방전셀을 선택하기 위한 어드레스 기간 및 방전횟수에 따라 계조를 표현하는 서스테인 기간으로 나뉘어진다. 예를 들어, 256 계조로 화상을 표시하고자 하는 경우에 1/60 초에 해당하는 프레임 기간(16.67ms)은 8 개의 서브필드들(SF1내지SF8)로 나누어지게 된다. 아울러, 8개의 서브 필드별(SF1내지SF8) 각각은 어드레스 기간과 서스테인 기간으로 다시 나누어지게 된다. 여기서, 각 서브필드의 리셋기간 및 어드레스 기간은 각 서브필드마다 동일한 반면에 서스테인 기간은 각 서브필드에서  $2^n$  ( $n=0,1,2,3,4,5,6,7$ )의 비율로 증가된다. 이러한 서브필드 구동방법에서 서스테인 기간은 화상을 표시하는 기간으로 적절한 휘도를 내기 위해서는 어느 정도의 시간을 확보하여야 한다. 그런데, 휘도에 기여하지 않는 리셋기간과 어드레스 기간이 차지하는 시간에 의해 방전유지기간이 그만큼 줄어들게 되므로 고해상도에 적절히 대응 할 수 없는 문제점이 있다. 예를 들어, 480 개의 주사/서스테인전극라인(Y)을 싱글스캔(Single Scan) 하는 경우 한 프레임 내에서 필요한 어드레스 기간은 어드레스 펄스 폭  $\times$  480 주사/서스테인전극라인  $\times$  8 서브필드를 필요로 하게 된다. 여기서, 확실한 어드레스 방전을 위해  $3\mu s$  정도의 펄스폭을 가지는 어드레스 펄스를 사용하는 경우 총 11.52ms가 소요되고 리셋기간까지 포함한다면 13ms 이상의 시간이 소요되므로 한 프레임 내에서 방전 유지기간에 할당될 수 있는 시간은 3.67ms이다. 따라서, 표시하고자 하는 영상 신호의 해상도가 높아지면서 더 많은 주사/서스테인전극라인(Y)을 어드레싱하기 위해서는 고속 어드레싱 방법이 요구되어 진다. 만약 어드레스 펄스폭이  $1\mu s$ 로 줄어든다면 1024개의 주사/서스테인전극라인에 10개의 서브필드를 할당하여도 어드레스 기간을 10ms로 충분히 줄일 수 있으므로 상대적으로 많은 시간을 서스테인 기간에 할애할 수 있다. 하지만, 어드레스 펄스폭을  $1\mu s$ 로 줄인다면 어드레스 방전이 불안정하게 된다.

상세히 설명하면, 도 3에 도시된 바와 같이  $3\mu s$  정도의 어드레스 펄스 폭, 스캔펄스 및 데이터 펄스를 공급하는 경우 방전은 실험상으로 약 500 ns에서  $3\mu s$  까지의 범위에서 불규칙하게 발생한다. 따라서, 어드레스 펄스폭을  $1\mu s$ 로 줄이는 경우 방전 실패율이 높아지게 되므로 어드레스 방전이 불안정해진다. 하지만, 어드레스 방전 전에 도 4에 도시된 바와 같이 보조방전펄스를 인가하여 프라이밍 임자를 생성시키면, 어드레스 방전은  $1\mu s$  어드레스 펄스폭 안에서 균일하게 발생한다.

이에 따라, 최근에는 도 5에 도시된 바와 같이 보조전극을 추가로 구비하여 어드레스 방전 전에 보조방전을 일으키는 방법에 제한되었다.

도 5를 참조하면, 종래의 보조전극을 추가로 구비한 PDP는 주사/서스테인전극라인(Y) 및 공통서스테인전극라인(Z)과, 주사/서스테인전극라인(Y) 각각에서 연장된 제 1 보조전극라인(AY)과, 공통서스테인전극라인(Z)과 제 1 보조전극라인(AY) 사이에 배치된 제 2 보조전극라인(AZ)과, 주사/서스테인전극라인(Y) 및 공통서스테인전극라인(Z)과 직교하는 방향으로 형성된 도시되지 않은 어드레스 전극라인을 구비한다. 먼저, 리셋 기간에는 도 6과 같이 제 2 보조전극라인(AZ)과 주사/서스테인전극라인(Y)에 상반된 극성을 가지는 리셋펄스가 인가되어 리셋 방전이 발생한다. 어드레스 기간에는 제 2 보조전극라인(AZ)에 보조전압이 일정하게 인가되고, 제 1 보조 전극라인(AY)에 주사/서스테인전극라인(Y)에 인가되는 주사펄스가 동일하게 인가된다. 이에 따라, 제 2 보조 전극라인(AZ)과 제 1 보조 전극라인(AY) 사이에서 보조방전이 일어난다. 이러한 보조 방전에 의해 생성된 공간전하는 다음 주사라인에 공급된다. 이에 따라, 어드레스 방전시 보조방전에 의해 생성된 공간전하를 이용하므로 주사 펄스의 폭을 1μs 정도로 줄일 수 있게 되었다. 또한, 보조방전에 의해 발생하는 가시광은 블랙 매트릭스(38)에 의해 차단된다.

하지만, 종래의 보조전극을 구비한 PDP는 어드레스 기간에 제 2 보조 전극라인(AZ)과 어드레스 전극라인(X)과 오방전이 발생할 수 있다. 또한, 블랙 매트릭스(38)가 제 1 보조전극라인(AY)과 제 2 보조전극라인(AZ)의 간격보다 넓게 형성되므로 발광면적이 줄어들어 PDP의 휘도가 저하된다. 더불어, 보조방전이 모든 방전셀에서 일어나므로 많은 소비전력을 소모하게 된다.

#### 발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 고속 어드레싱이 가능함과 아울러 오방전을 방지할 수 있는 플라즈마 디스플레이 패널 및 그 구동방법을 제공하는데 있다.

#### 발명의 구성 및 작용

상기 목적을 달성하기 위하여 본 발명의 플라즈마 디스플레이 패널은 방전셀의 상부기판 상에 형성되는 서스테인전극쌍과, 서스테인전극쌍과 교차되는 방향으로 방전셀의 하부기판 상에 형성되어 서스테인전극쌍 중 주사/서스테인전극라인과 어드레스 방전을 일으키는 어드레스전극과, 서스테인전극쌍 중 주사/서스테인전극라인과 전기적으로 접속되어 서스테인전극쌍과 나란하게 형성되는 제 1 보조전극과, 서스테인전극쌍과 나란하게 형성되어 제 1 보조전극과 보조방전을 일으키기 위한 제 2 보조전극과, 어드레스 방전시 제 1 보조전극과 어드레스전극간의 오방전을 방지하기 위하여 제 1 및 제 2 보조전극과 대향되게 하부기판 상에 형성되는 절연체를 구비한다.

본 발명의 플라즈마 디스플레이 패널의 구동방법은 어드레스 기간동안 공간전하를 생성하는 보조방전을 일으키기 위하여 제 1 보조전극에 스캔 펄스를 공급하는 단계와, 제 2 보조전극에 보조펄스를 공급하는 단계를 포함한다.

상기 목적 외에 본 발명의 다른 목적 및 특징들은 첨부도면을 참조한 실시예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

이하, 도 7내지 도 9를 참조하여 본 발명의 바람직한 실시예에 대하여 설명하기로 한다.

도 7 및 도 8은 본 발명의 실시예에 의한 PDP의 평면도 및 단면도이다.

도 7 및 도 8을 참조하면, 상부기판(42) 상에 나란하게 형성된 주사/서스테인전극라인(Y) 및 공통서스테인전극라인(Z)과, 주사/서스테인전극라인(Y) 각각에서 연장된 제 1 보조전극라인(AY)과, 공통서스테인전극라인(Z)과 제 1 보조전극라인(AY) 사이에 배치된 제 2 보조전극라인(AZ)과, 주사/서스테인전극라인(Y) 및 공통서스테인전극라인(Z)과 직교하는 방향으로 하부기판(44) 상에 형성된 어드레스 전극라인(X)과, 제 1 보조전극라인(AY)과 제 2 보조전극라인(AZ) 사이에 형성되는 블랙 매트릭스(40)와, 제 1 보조전극라인(AY) 및 제 2 보조전극라인(AZ)과 대향하는 방향으로 하부기판(44) 상에 형성되는 절연체(46)를 구비한다. 블랙 매트릭스는 제 1 보조전극라인(AY)과 제 2 보조전극라인(AZ)간의 보조방전에 의해 생성되는 가시광을 차단한다. 절연체(46)는 어드레스전극라인(X)상에 형성되어 제 1 보조전극라인(AY)과 어드레스전극라인(X)의 오방전을 방지한다. 발광 면적을 최대화하기 위하여 주사/서스테인전극라인(Y) 및 공통서스테인전극라인(Z)의 간격은 제 1 보조전극라인(AY) 및 제 2 보조전극라인(AZ)의 간격보다 넓게 형성된다.

이러한 구성을 가지는 PDP의 구동방법을 도 9에 도시된 구동파형을 참조하여 살펴보면 다음과 같다. 하나의 서브필드는 전 화면을 초기화하는 리셋 기간, 전 화면을 선순차 방식으로 스캔하면서 데이터가 기입하는 어드레스 기간, 데이터가 기입된 셀들의 발광 상태를 유지시키는 서스테인 기간으로 나뉘어진다. 먼저 리셋 기간에는 방전셀들을 초기화하고, 어드레스 방전을 돕기 위해 공통서스테인전극라인(Z) 및 제 2 보조전극라인(AZ)에 공급되는 리셋펄스로 리셋방전을 일으켜 각 방전셀들에 프라이밍 공간전하 및 벽전하를 형성시킨다. 어드레스 기간에는 PDP의 각 주사/서스테인전극라인(Y)들에 스캔펄스가 순차적으로 인가되고, 스캔펄스에 동기되어 데이터펄스가 각 어드레스전극라인(X)에 공급된다. 이때, 공통서스테인전극라인(Z)들에는 소정레벨의 직류전압이 공급되며, 이 직류전압은 어드레스전극라인(X)과 주사/서스테인전극라인(Y) 사이의 어드레스 방전이 안정적으로 일어날 수 있게 한다. 어드레스 기간에 제 2 보조전극라인(AZ)에는 보조펄스가 공급되어 스캔펄스가 공급되는 제 1 보조전극라인(AY)과 보조방전을 일으킨다. 이 보조방전에 의해 생성된 공간전하들은 다음 주사라인의 방전셀들에 공급된다. 제 1 필드에서 보조펄스는 기수 번째 제 2 보조전극라인(AZ)에만 되므로 보조방전은 주사/서스테인전극라인(Y)에 2개의 스캔펄스가 공급될 때 한 번 일어난다. 또한, 이러한 보조방전은 어드레스 데이터의 유/무에 상관없이 항상 일어나므로 어드레스 방전에 필요한 충분한 공간전하를 모든 방전셀에 공급할 수 있다. 서스테인 기간에는 주사/서스테인전극라인(Y) 및 공통서스테인전극라인(Z)에 서스테인 펄스가 공급되어 어드레스 기간에 선택된 방전셀들을 발광시킨다. 이때, 제 2 보조전극라인(AZ)에는 소정레벨의 직류전압이 공급되며, 이 직류전압은 제 2 보조전극라인(AZ)과 제 1 보조전극라인(AY)간의 서스테인 방전이 일어나는 것을 방지한다. 즉, 제 1 보조전극라인(AY)과 제 2 보조전극라인(AZ) 사이에 형성된 블랙 매트릭스(40) 때문에 제 1 및 제 2 보조전극라인(AY,AZ) 간의 서스테인 방전은 휘도에 영향을 미치지 못한다. 제 2 필드의 리셋 기간에는 방전셀들을 초기화하고, 어드레스 방전을 돕기 위해 공통서스테인전극라인(Z) 및 제 2 보조전극라인(AZ)에 공급되는 리셋펄스로 리셋방전을 일으켜 각 방전셀들에 프라이밍 공간전하 및 벽전하를 형성시킨다. 어드레스 기간에는 PDP의 각 주사/서스테인전극라인(Y)들에 스캔펄스가 순차적으로 인가되고, 스캔펄스에 동기되어 데이터펄스가 각 어드레스전극라인(X)에 공급된다. 이때, 제 2 보조전극라인(AZ)에는 보조펄스가 공급되어 스캔펄스가 공급되는 제 1 보조전극라인(AY)과 보조방전을 일으킨다. 이 보조방전에 의해 생성된 공간전하들은 다음 주사라인의 방전셀들에 공급된다. 제 2 필드에서 보조펄스는 우수 번째 제 2 보조전극라인(AZ)에 공급된다. 즉, 보조펄스는 각각의 필드별로 우수 번째 제 2 보조전극라인(AZ)과 기수 번째 제 2 보조전극라인(AZ)에 교번적으로 공급된다. 따라서 방전의 균형을 이룸과 아울러 보조방전에 의해 소비되는 전력량을 최소화 할 수 있다.

#### 발명의 효과

상술한 바와 같이, 본 발명에 따른 플라즈마 디스플레이 패널 및 그 구동방법에 의하면 어드레스 기간에 기수 번째 또는 우수 번째 제 2 보조전극라인으로 보조방전을 일으키고 아울러 보조방전에 의해 생성된 공간전하들을 다음 주사라인의 방전셀에 공급함으로써 고속 어드레싱을 할 수 있다. 또한, 주사/서스테인전극라인 및 공통서스테인전극라인의 폭을 넓게 형성함과 아울러 제 1 보조전극라인과 제 2 보조전극라인 사이에 블랙 매트릭스를 형성함으로써 발광면적을 최대화 할 수 있다. 나아가, 절연체를 제 1 및 제 2 보조전극라인과 대향하는 위치에 형성함으로써 오방전을 방지하였다.

이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

#### (57) 청구의 범위

##### 청구항 1.

방전셀의 상부기판 상에 형성되는 서스테인전극쌍과,

상기 서스테인전극쌍과 교차되는 방향으로 상기 방전셀의 하부기판 상에 형성되어 상기 서스테인전극쌍 중 주사/서스테인전극라인과 어드레스 방전을 일으키는 어드레스전극과,

상기 서스테인전극쌍 중 주사/서스테인전극라인과 전기적으로 접속되어 상기 서스테인전극쌍과 나란하게 형성되는 제 1 보조전극과,

상기 서스테인전극쌍과 나란하게 형성되며 상기 제 1 보조전극과 보조방전을 일으키기 위한 제 2 보조전극과,

상기 어드레스 방전시 상기 제 1 보조전극과 상기 어드레스전극간의 오방전을 방지하기 위하여 상기 제 1 및 제 2 보조전극과 대향되게 상기 하부기판 상에 형성되는 절연체를 구비하는 것을 특징으로 하는 플라즈마 디스플레이 패널.

##### 청구항 2.

제 1 항에 있어서,

상기 제 1 보조전극과 상기 제 2 보조전극 사이에 형성되어 상기 보조방전에 의해 발생하는 가시광을 흡수하기 위한 블랙매트릭스를 추가로 구비하는 것을 특징으로 하는 플라즈마 디스플레이 패널.

##### 청구항 3.

제 1 항에 있어서,

상기 서스테인전극쌍의 간격은 상기 제 1 및 제 2 보조전극의 간격보다 넓게 형성되는 것을 특징으로 하는 플라즈마 디스플레이 패널.

##### 청구항 4.

제 1 항에 있어서,

상기 절연체는 상기 어드레스전극 상에 형성되는 것을 특징으로 하는 플라즈마 디스플레이 패널.

##### 청구항 5.

제 1 항에 있어서,

상기 보조방전에 의해 생성되는 공간전하는 다음 주사라인의 방전셀에 공급되는 것을 특징으로 하는 플라즈마 디스플레이 패널.

##### 청구항 6.

방전셀의 상부기판에 형성되는 서스테인전극쌍과, 상기 서스테인전극쌍과 나란한 방향으로 형성되는 제 1 및 제 2 보조전극을 구비함과 아울러 리셋 기간, 어드레스 기간, 서스테인 기간으로 나누어 구동되는 플라즈마 디스플레이 패널의 구동방법에 있어서,

상기 어드레스 기간동안 공간전하를 생성하는 보조방전을 일으키기 위하여 상기 제 1 보조전극에 스캔펄스를 공급하는 단계와,

상기 제 2 보조전극에 보조펄스를 공급하는 단계를 포함하는 플라즈마 디스플레이 패널의 구동방법.

##### 청구항 7.

제 6 항에 있어서,

상기 제 1 보조전극에 2개의 스캔펄스가 공급될 때 상기 보조펄스는 상기 2개의 스캔펄스 중 어느 하나에 동기되어 상기 제 2 보조전극의 우수 번째 라인 및 기수 번째 라인 중 어느 하나에 공급되는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.

##### 청구항 8.

제 7 항에 있어서,

상기 어드레스 기간에 상기 보조펄스가 제 2 보조전극라인의 우수 번째 라인에 공급되면 다음 어드레스 기간에 상기 보조펄스가 제 2 보조전극라인의 기수 번째 라인에 공급되는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.

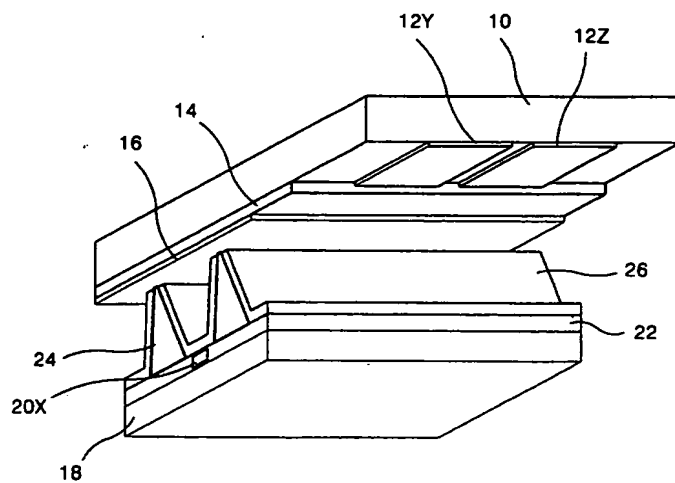
##### 청구항 9.

제 6 항에 있어서,

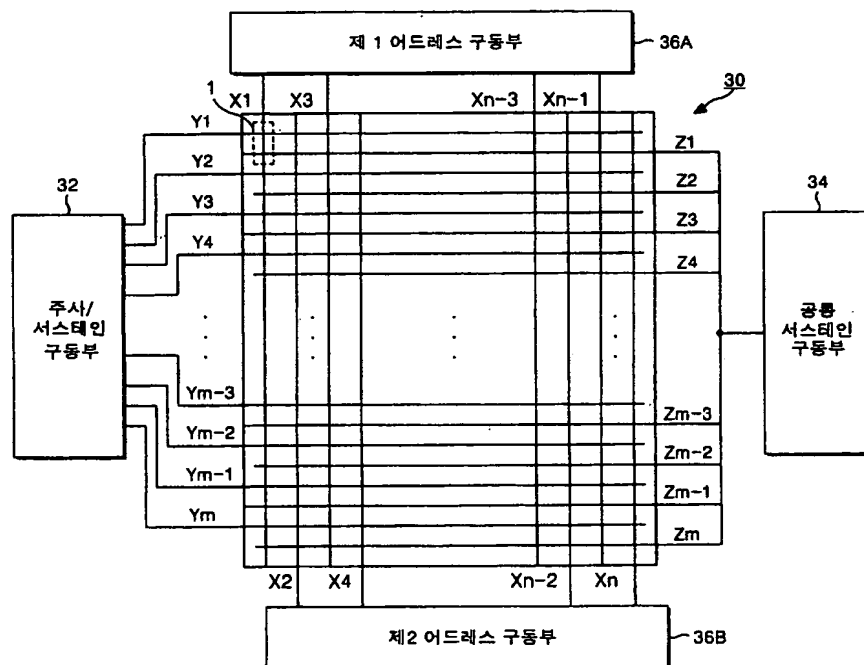
상기 서스테인기간에 상기 제 2 보조전극에 소정레벨의 직류전압이 공급되는 단계를 포함하는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.

도면

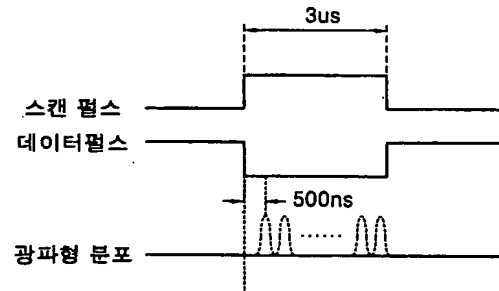
도면 1



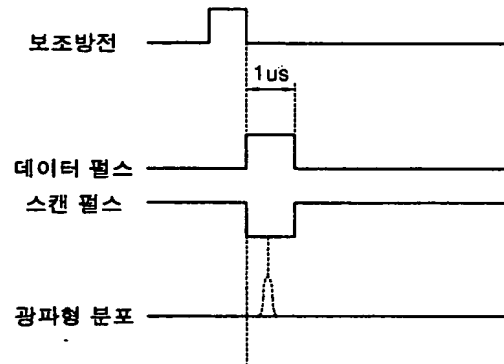
도면 2



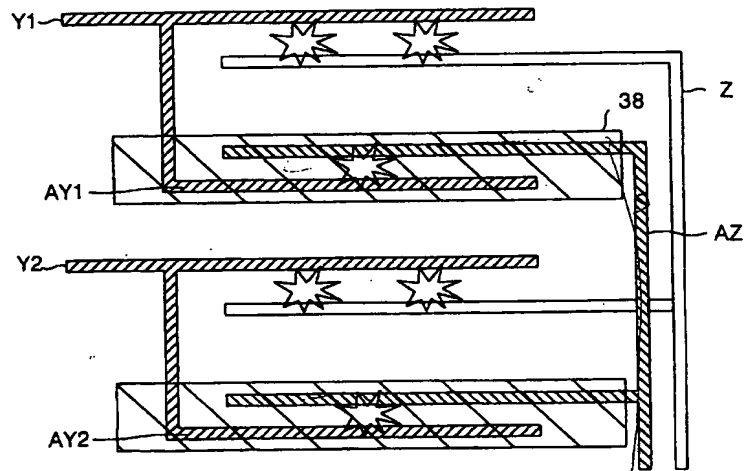
도면 3



도면 4

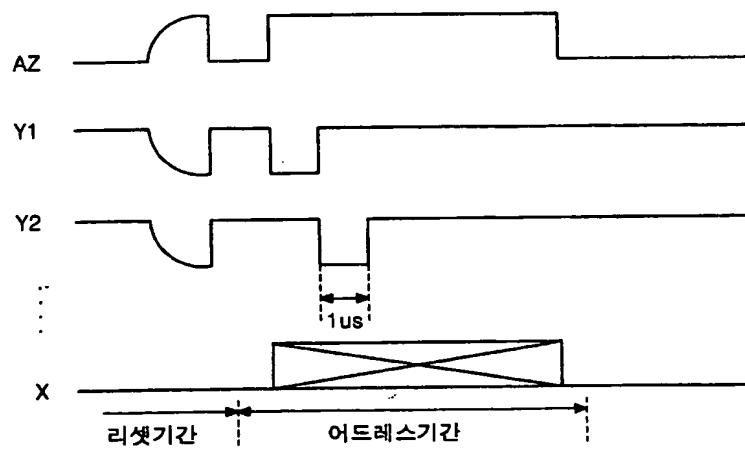


도면 5

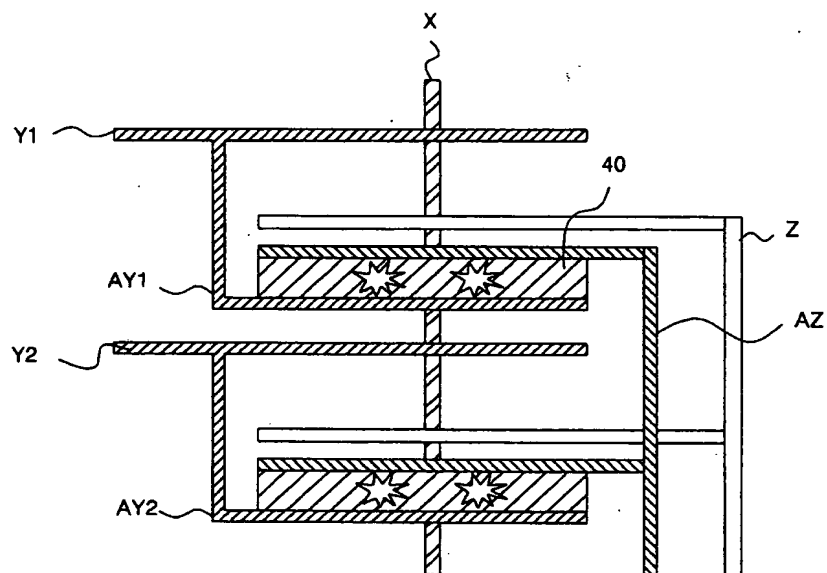




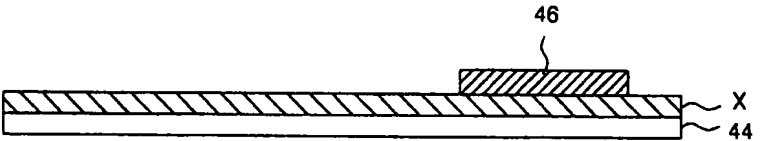
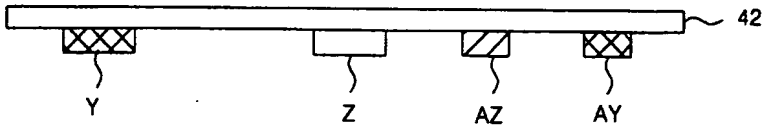
도면 6



도면 7



도면 8



도면 9

